

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-232649  
(43)Date of publication of application : 02.09.1998

---

(51)Int.Cl. G09G 3/30

---

(21)Application number : 09-052543 (71)Applicant : CASIO COMPUT CO LTD  
(22)Date of filing : 21.02.1997 (72)Inventor : YAMADA HIROYASU  
SHIOTANI MASAHIRO

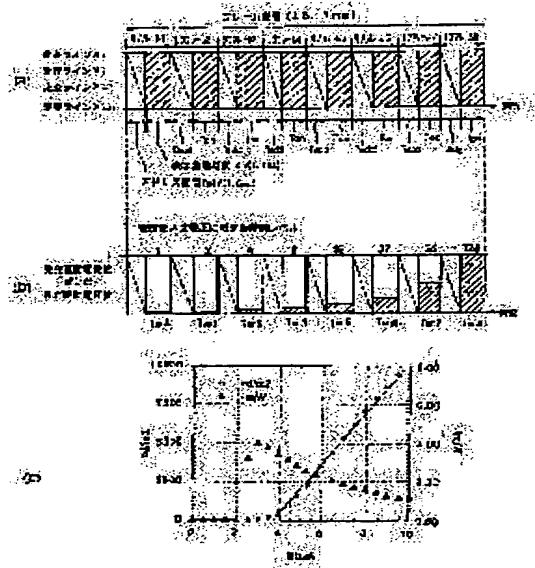
---

## (54) ELECTRIC FIELD LUMINESCENT DISPLAY DEVICE AND DRIVING METHOD THEREFOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the driving method of an electric field luminescent display device capable of performing a tone display having satisfactory control property and capable of performing an operation of lower power consumption.

**SOLUTION:** One frame period of an electric field luminescent display device in which electric field light emitting elements are arranged in a matrix shape and selection transistors and driving transistors are connected to these electric field light emitting elements is divided into eight subframes. These subframes are consisting of light emission setting times Ton and address periods Tadd being the same times in all subframes and different light emission driving voltages or driving currents are set so as to be impressed in respective subframes. Since, a tone level for every pixel is made different according to in which subframe among the eight subframes the pixel is selected, a tone expression is made possible.



---

### LEGAL STATUS

[Date of request for examination] 22.01.2003  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the abandonment  
examiner's decision of rejection or application converted  
registration]  
[Date of final disposal for application] 31.03.2006  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of  
rejection]  
[Date of requesting appeal against examiner's decision of  
rejection]  
[Date of extinction of right]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

[Claim 1] While choosing the electroluminescence devices of arbitration from said two or more electroluminescence devices as two or more electroluminescence devices which have the electrode of a pair, respectively and emit light according to impression of an electrical potential difference or a current, and two or more address periods by which sequential arrangement was carried out within the one-frame period The 1st switching circuit which impresses the common electrical potential difference of a predetermined electrical-potential-difference value to one [ said ] electrode of said electroluminescence devices chosen as the luminescence setting period set up after said each address period at the address period concerned, It connects with the electrode of another side of the electrode of said pair of each of said electroluminescence devices, respectively. The electroluminescence display characterized by providing the 2nd switching circuit which impresses the drive current set as two or more driver voltages set as the electrical potential difference of a value which is mutually different at said each luminescence setting period, or a mutually different current of a value to said all electroluminescence devices.

[Claim 2] said two or more luminescence setting periods which said electroluminescence devices were arranged in the shape of a matrix, and were set as the time amount of the same die length mutually [ an one frame period is equivalent to said two or more address periods and each address period, respectively, and ] — since — the electroluminescence display according to claim 1 characterized by having arranged said address period and said luminescence setting period by turns.

[Claim 3] The selection transistor by which the drain electrode was connected to the signal line to which, as for said 1st switching circuit, a gate electrode is connected to the scan line to which a scan electrical potential difference is supplied, and a signal level is supplied, While a gate electrode is connected to the source electrode of said selection transistor and a drain electrode is connected to said electroluminescence devices The electroluminescence display according to claim 1 or 2 characterized by equipping a source electrode with the drive transistor connected to the common power source or the adjustable drive power source.

[Claim 4] The selection transistor by which the drain electrode was connected to the signal line to which, as for said 2nd switching circuit, a gate electrode is connected to the scan line to which a scan electrical potential difference is supplied, and a signal level is supplied, While a gate electrode is connected to the source electrode of said selection transistor and a drain electrode is connected to said electroluminescence devices The electroluminescence display according to claim 1 or 2 characterized by equipping a source electrode with the drive transistor connected to the common power source or the adjustable drive power source.

[Claim 5] Said scan electrical potential difference and said signal level are an electroluminescence display according to claim 3 or 4 characterized by being the ON according to each property / off binary signal.

[Claim 6] The ratio of the driver voltage of each luminescence setting period within said one-frame period or the magnitude of a drive current is an electroluminescence display according to claim 1 to 5 characterized by being either of the n-th power (n being zero or more integers) of 2, respectively.

[Claim 7] Said common electrical potential difference is an electroluminescence display according to claim 1 to 6 characterized by being a touch-down electrical potential difference.

[Claim 8] In the drive approach of an electroluminescence display of having two or more electroluminescence devices which emit light according to impression of an electrical potential difference or a current While a luminescence setting period is set as said electroluminescence devices as which the one-frame period equipped with two or more address periods which choose said electroluminescence devices of arbitration, respectively, and was chosen in said each address period after each address period The drive approach of the electroluminescence display characterized by supplying the driver voltage of a value which is mutually different in each luminescence setting periods within an one-frame period, or a mutually different drive current of a value to said electroluminescence devices chosen in said each address period.

[Claim 9] While choosing the electroluminescence devices of arbitration from said two or more electroluminescence devices as two or more address periods by which said two or more electroluminescence devices have the electrode of a pair, respectively, and sequential arrangement was carried out within the one-frame period The 1st switching circuit which impresses the common electrical potential difference of a predetermined electrical-potential-difference value to one [ said ] electrode of said electroluminescence devices chosen as the luminescence setting period set up after said each address period at the address period concerned, It connects with the electrode of another side of the electrode of said pair of each of said electroluminescence devices, respectively. The drive approach of the electroluminescence display according to claim 8 characterized by providing the 2nd switching

circuit which impresses the drive current set as two or more driver voltages set as the electrical potential difference of a value which is mutually different at said each luminescence setting period, or a mutually different current of a value to said all electroluminescence devices.

[Claim 10] The selection transistor by which the drain electrode was connected to the signal line to which, as for said 1st switching circuit, a gate electrode is connected to the scan line to which a scan electrical potential difference is supplied, and a signal level is supplied, While a gate electrode is connected to the source electrode of said selection transistor and a drain electrode is connected to said electroluminescence devices The drive approach of the electroluminescence display according to claim 9 characterized by equipping a source electrode with the drive transistor connected to the common power source or the adjustable drive power source.

[Claim 11] The selection transistor by which the drain electrode was connected to the signal line to which, as for said 2nd switching circuit, a gate electrode is connected to the scan line to which a scan electrical potential difference is supplied, and a signal level is supplied, While a gate electrode is connected to the source electrode of said selection transistor and a drain electrode is connected to said electroluminescence devices The drive approach of the electroluminescence display according to claim 9 characterized by equipping a source electrode with the drive transistor connected to the common power source or the adjustable drive power source.

[Claim 12] The drive approach of the electroluminescence display according to claim 10 or 11 characterized by inputting the ON / off binary signal according to the property of said scan electrical potential difference and each of said signal level.

[Claim 13] It is the drive approach of an electroluminescence display according to claim 8 to 12 that said electroluminescence devices are arranged in the shape of a matrix, and said one-frame period is characterized by setting up said address period and a luminescence setting period by turns.

[Claim 14] The ratio of the magnitude of the driver voltage impressed to said each luminescence setting period or a drive current is the drive approach of the electroluminescence display according to claim 8 to 13 characterized by being either of the n-th power (n being zero or more integers) of 2, respectively.

[Claim 15] Said common electrical potential difference is an electroluminescence display according to claim 9 to 14 characterized by being a touch-down electrical potential difference.

---

[Translation done.]

## \*NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention relates to the drive approach of a display of performing electroluminescence luminescence, in more detail about an electroluminescence display and its drive approach.

#### [0002]

[Description of the Prior Art] Conventionally, there is an organic electroluminescence display (electroluminescence display) of the structure which equipped 1 pixel as shown in drawing 9 with two thin film transistors (henceforth TFT). In this organic electroluminescence display, the gradation signal corresponding [ selection TFT3 ] to the luminescence brightness data of an organic EL device 1 is supplied from a signal line Yn by SUKYA from a scan line Xm synchronizing with selection. Selection TFT3 controls the gate bias of drive TFT2 according to this gradation signal, and drive TFT2 controls the amount of the carrier (an electron or electron hole) poured into an organic EL device 1 according to this gate bias, and it emits light by predetermined gradation brightness. Drawing 10 is a graph which shows the relation of the gate voltage ( $V_g$ ) and channel resistance of drive TFT2 which were written in in this way, and the static characteristic of the so-called field-effect transistor (FET). Drawing 11 is the representative circuit schematic showing the relation between the organic EL device 1 and the armature-voltage control means  $V_c$  in 1 pixel, and all the pixel common EL power sources 4. This armature-voltage control means  $V_c$  consists of a selection transistor 3 and a drive transistor 2.

#### [0003]

[Problem(s) to be Solved by the Invention] At the organic electroluminescence display of the above-mentioned conventional 1-pixel 2 cel TFT structure, gradation is expressed by changing the luminescence brightness of Pixel EL by changing the current which flows to a channel by change of the gate bias of drive TFT2. That is, it depends for the luminescence brightness of an organic EL device 1 on the electrical characteristics of the gradation signal supplied to a signal line Yn, and drive TFT2 and selection TFT3. For this reason, when it is going to realize 256 gradation, for example, it must be within limits as which the property variation in the linearity field of the drive TFT2 of each pixel in a panel is required of control of 256 gradation, but manufacture of the TFT panel of such a uniform property has the problem that implementation is difficult.

[0004] This Object of the Invention is in the point what kind of means should be provided for acquiring the drive approach of the electroluminescence display in which low-power actuation is possible while being able to perform the gradation display with a sufficient controllability.

#### [0005]

[Means for Solving the Problem] Two or more electroluminescence devices which invention according to claim 1 is an electroluminescence display, and have the electrode of a pair, respectively, and emit light according to impression of an electrical potential difference, While choosing the electroluminescence devices of arbitration from said two or more electroluminescence devices as two or more address periods by which sequential arrangement was carried out within the one-frame period To one [ said ] electrode of said electroluminescence devices chosen as the luminescence setting period set up after said each address period at the address period concerned Of two or more driver voltages set as the touch-down electrical potential difference or a mutually different electrical potential difference of a value, either The 1st switching circuit which impresses one side of \*\*, It connects with the electrode of another side of the electrode of said pair of each of said electroluminescence devices, respectively. either of two or more driver voltages set as said touch-down electrical potential difference or a mutually different electrical potential difference of a value at said each luminescence setting period — it is characterized by providing the 2nd switching circuit which impresses another side of \*\* to said all electroluminescence devices.

[0006] In invention according to claim 1, the electroluminescence devices which should emit light at each address period are chosen beforehand. To one electrode of the electroluminescence devices chosen as each corresponding luminescence setting period If the common electrical potential difference of a predetermined electrical-potential-difference value is impressed and either of the drive currents set as two or more driver voltages set as the electrical potential difference of a value which is mutually different on another side of the electrode of the pair of all electroluminescence devices, or a mutually different current of a value is impressed Only selected electroluminescence devices can emit light at each luminescence setting period. Therefore, if it puts in another way by emitting light in electroluminescence devices alternatively during two or more luminescence setting periods, according to the total amount of luminescence in the total luminescence setting period within an one-frame period, the luminescence brightness on the appearance of each electroluminescence devices is controllable.

[0007] said two or more luminescence setting periods when said electroluminescence devices were arranged in the shape of a matrix at, and invention according to claim 2 was set as the time amount of the same die length mutually [ an one frame period is equivalent to said two or more address periods and each address period respectively, and ] — since — it is characterized by having arranged said address period and said luminescence setting period by turns. Since the luminescence setting period was set constant, luminescence of many numbers of brightness gradation is realizable with invention according to claim 2 by combining a luminescence setting period, applied voltage, or each luminescence brightness by the product with force current.

[0008] Invention of claim 3 and four publications, respectively the 1st switching circuit and the 2nd switching circuit The selection transistor by which the drain electrode was connected to the signal line to which a gate electrode is connected to the scan line to which a scan electrical potential difference is supplied, and a signal level is supplied. While a gate electrode is connected to the source electrode of said selection transistor and a drain electrode is connected to said electroluminescence devices, the source electrode is characterized by having the drive transistor connected to the common power source or the adjustable drive power source. In these invention, it is chargeable so that a common electrical potential difference can be easily impressed to the electroluminescence devices chosen as the address period during a luminescence setting period.

[0009] Invention according to claim 5 is characterized by said scan electrical potential differences and said signal levels being the ON according to each property / off binary signal.

[0010] Since a scan electrical potential difference and a signal level can control by the binary signal of ON/OFF, if the electrical potential difference of a saturation current field is impressed even if some dispersion is in the V-I property of a selection transistor and a drive transistor, brightness gradation is controllable by invention according to claim 5 good.

[0011] Invention according to claim 6 is characterized by the ratio of the driver voltage of each luminescence setting period within an one-frame period or the magnitude of a drive current being either of the n-th power (n being zero or more integers) of 2, respectively. In invention according to claim 6, since the ratio of the magnitude of driver voltage or a drive current is considering as the n-th power of 2, respectively, it can make the minimum the number of different electrical-potential-difference values, and can realize good gradation luminescence.

[0012] In the drive approach of an electroluminescence display of having two or more electroluminescence devices to which invention according to claim 8 emits light according to impression of an electrical potential difference or a current. While a luminescence setting period is set as said electroluminescence devices as which the one-frame period equipped with two or more address periods which choose said electroluminescence devices of arbitration, respectively, and was chosen in said each address period after each address period It is characterized by supplying the driver voltage of a value which is mutually different in each luminescence setting periods within an one-frame period, or a mutually different drive current of a value to said electroluminescence devices chosen in said each address period.

[0013] Although the electroluminescence devices which should emit light at the next luminescence setting period are beforehand chosen as each address period and it is made to emit light in invention according to claim 8 at a luminescence setting period Since the applied voltage in each luminescence setting period differs from the value of force current, if the total amount of luminescence in each pixel chooses a luminescence setting period so that it may respond to gradation, in the whole one-frame period, luminescence of many numbers of brightness gradation is realizable in spite of the electrical-potential-difference value change of few phases.

[0014]

[Embodiment of the Invention] It explains based on the operation gestalt which shows the detail of the drive approach of the electroluminescence display concerning this invention hereafter to a drawing. In addition, the initiative is taken in explanation of the drive approach, and the configuration of an electroluminescence display is explained. Drawing 1 is the drive circuit diagram of the electroluminescence display concerning this operation gestalt. As shown in this drawing, the organic EL device 101 as electroluminescence devices is formed in each pixel field arranged in the shape of an X-Y matrix. These pixel fields are formed in the part which two or more scan line X and two or more signal-line Y intersect, respectively. The selection transistor Q1 connected to scan line X and signal-line Y and the drive transistor Q2 to which the capacitor Cp1 connected to this selection transistor Q1 and the gate were connected are formed in one pixel field. This drive transistor Q2 is connected to one electrode (drawing cathode electrode) of an organic EL device 101. And if the selection transistor Q1 is chosen by the selection signal from scan line X and a driving signal is outputted from signal-line Y, it is set up so that the drive transistor Q2 may be turned on. This selection signal and driving signal are a binary signal of ON/OFF. In addition, by the OFF state, as for the drive transistor Q2, the property is set up so that it is high resistance enough compared with an organic EL device 101, and can ignore compared with an organic EL device 101 in an ON state and may become low resistance enough.

[0015] Drawing 2 is the representative circuit schematic of the 1-pixel part of this electroluminescence display. It connects with one electrode of an organic EL device 101, and the switch S1 shown in this drawing is in the condition which has closed this switch S1, and luminescence of an organic EL device 101 of it is attained. Moreover, a switch S2 can follow the luminescence time amount and the luminescence driver voltage, or the luminescence drive current (it is the electrical potential difference or current of a value of a proper to each subframe period) within the subframe period which carries out a postscript, and can turn on / turn off all pixels at coincidence while connecting with the electrode side of another side of an organic EL device 101 and using it common to all pixels. In addition, the adjustable drive power source controlled to output the electrical-potential-difference value or current

value of a value of a proper to each subframe period in adjustable is shown by the inside Ps of drawing 2.

[0016] Here, the still more concrete configuration of the electroluminescence display in this operation gestalt is explained using drawing 3 and drawing 4. Drawing 3 is the top view showing the 1-pixel part of the electroluminescence display in this operation gestalt. Drawing 4 is the A-A sectional view of drawing 3. 100 in drawing shows the electroluminescence display.

[0017] One gate electrode 103A of the selection transistor Q1, and gate electrode 103B and \*\* of the drive transistor Q2 are formed in two or more scan lines 103 which make parallel and regular intervals along the predetermined direction (the direction of X) where it comes to carry out patterning of the gate metal film which becomes with aluminum (aluminum), and this scan line 103 on the substrate 102 with which the electroluminescence display 100 of this operation gestalt consists of glass or a resin film. In addition, the oxide film on anode 104 is formed in the front face of these gates electrodes 103A and 103B and a scan line 103. Moreover, on these scan lines 103, the gate electrodes 103A and 103B, and a substrate 102, the gate dielectric film 105 which becomes with silicon nitride is formed. Furthermore, on the upper gate dielectric film 105A and 105B of the gate electrodes 103A and 103B, pattern formation of the semi-conductor layers 106A and 106B which become with an amorphous silicon (a-Si) is carried out. Moreover, the blocking layers 107A and 107B formed along the channel width direction are formed in the center of each semi-conductor layer 106A and 106B. And on semi-conductor layer 106A, the ohmic layers 108A and 108A divided into the source and drain side on blocking layer 107A are formed. Furthermore, in the selection transistor Q1, source electrode 109B which a laminating is carried out to signal-line 109A which a laminating is carried out to ohmic layer 108A by the side of a drain, and is connected, and ohmic layer 108A by the side of the source, and is connected is formed. This source electrode 109B is connected to gate dielectric film 105 to gate electrode 103B of the drive transistor Q2 through the contact hole 110 which carried out opening, as shown in drawing 3. In the drive transistor Q2, the drain electrode 112 which the laminating of the end is carried out to ohmic layer 108B by the side of a drain, and it connects with the GND line 111 which a laminating is carried out to ohmic layer 108B by the side of the source, and connects, and the other end connects to the cathode electrode 114 of an organic EL device 101 which carries out a postscript is formed. These selection transistor Q1 and the drive transistor Q2 constitute the switch S1 shown in drawing 2. Moreover, a capacitor Cp1 consists of gate electrode 103B, gate dielectric film 105, and a GND line.

[0018] Next, the configuration of an organic EL device 101 is explained. First, on the above-mentioned selection transistor Q1, the drive transistor Q2, and gate dielectric film 105, it continued throughout the luminescence viewing area of the electroluminescence display 100, and the interlayer insulation film 113 has accumulated. And contact hole 113A is formed in the interlayer insulation film 113 on the edge of the drain electrode 112 of the above-mentioned drive transistor Q2. In addition, with this operation gestalt, the edge of the drain electrode 112 of the drive transistor Q2 is set up so that it may be located in the center of abbreviation of a 1-pixel field. And on the interlayer insulation film 113, reflexivity is shown to the light, for example, the cathode electrode 114 which becomes by MgIn continues throughout the 1 pixel field of abbreviation, and is formed in the shape of a rectangle. namely, the field (1-pixel field) surrounded in the scan lines 103 and 103 which adjoin the signal lines 109A and 109A which the cathode electrode 114 adjoins — an abbreviation wrap — it is formed like. For this reason, the selection transistor Q1 and the drive transistor Q2 are extensively covered with the cathode electrode 114.

[0019] Furthermore, as shown in drawing 4, on the cathode electrode 114 by which pattern formation was carried out for every pixel, and the interlayer insulation film 113, the organic electroluminescence layer 115 continues throughout a luminescence viewing area, and is formed. Furthermore, on the organic electroluminescence layer 115, the anode electrode 116 which becomes by transparent ITO continues throughout the luminescence viewing area of all the organic EL devices 101, and is formed. Moreover, the anode electrode 116 of each organic EL device 101 is connected to the adjustable drive power source Ps which supplies the driver voltage Vdd1 set as a value which is different through a switch S2, respectively — Vddn, or the drive current Id1 — Idn.

[0020] Here, an operation of the electroluminescence display 100 of a configuration of having described above is explained. the field (1-pixel field) surrounded in the scan lines 103 and 103 where the cathode electrode 114 adjoins the signal lines 109A and 109A which adjoin each other in this operation gestalt — an abbreviation wrap — since it is formed like, an organic EL device 101 can emit light by continuing throughout the abbreviation for a 1-pixel field. Moreover, since the cathode electrode 114 is formed by MgIn which has light reflex nature, when driver voltage or a drive current is impressed between the cathode electrode 114 and the anode electrode 116, outgoing radiation of the display light generated in the organic electroluminescence layer 115 is carried out to the anode electrode 116 side, without leaking below (glass substrate 102 side). For this reason, it can prevent that light carries out incidence unnecessarily to the semi-conductor layers 106A and 106B of the selection transistor Q1 and the drive transistor Q2, and can avoid that malfunction by the photoelectromotive force of each transistor arises. Moreover, since outgoing radiation of the display light is carried out from the transparent anode electrode 116 side, light absorption of it is not carried out with a glass substrate 102 etc., and outgoing radiation is carried out in the condition that brightness is high.

[0021] Next, the drive circuit system of the electroluminescence display 100 of this operation gestalt is explained. As shown in the representative circuit schematic of drawing 2, EL display circuit of a 1-pixel part consists of an organic EL device 101, switches S1 and S2, and an adjustable drive power source Ps. Moreover, as described above, the switch S1 as the 1st switching circuit consists of a selection transistor Q1 and a drive transistor Q2, and can supply a touch-down electrical potential difference (common electrical potential difference) to an organic EL device 101 alternatively (output). In the organic EL device 101, the adjustable drive power source Ps which supplies the

driver voltage  $V_{dd1}$  of an electrical-potential-difference value different mutually [ straight polarity ] –  $V_{ddn}$ , or the drive current  $I_{dd1} – I_{ddn}$  is connected to an anode electrode side through the switch S2 as the 2nd switching circuit, a switch S1 is connected to a cathode electrode side, and the source electrode side of the drive transistor Q2 which constitutes a switch S1 is grounded through the GND line 111, as shown in drawing 1.

[0022] Hereafter, the drive approach of the electroluminescence display 100 of this operation gestalt is explained. First, this operation gestalt sets the number of 480 and signal-line 109A for the number of the scan line 103 in the electroluminescence display 100 to 640. And with this operation gestalt, gradation means of displaying as shown in drawing 5 (a) and (b) is used. As shown in this drawing (a), an one-frame period (period holding the display of one screen) divides an one-frame period as 16.7ms at eight subframe periods (subframes 1–8). Each subframe period is 2.1ms and consists of a luminescence setting period  $T_{on}$  (1.1ms) which impresses the driver voltage or the drive current of a value of the address period  $T_{add}$  for performing address writing (1.0ms), and each subframe period proper. To the electrical potential difference impressed as an organic EL device 101 is shown in drawing 5 (c), luminescence brightness ( $cd/m^2$ ) shows linearity and the ratio of luminescence brightness is proportional to the ratio of a luminescence driver voltage value, or the ratio of a luminescence drive current value. If the ratio of the luminescence driver voltage of a proper or the ratio of a drive current is set to 1 by the subframe 1 at each subframe period — a subframe 2 — 2 and a subframe 3 — 32 and a subframe 7 are set to 64 and a subframe 8 is set [ 4 and a subframe 4 / 8 and a subframe 5 ] to 128 by 16 and the subframe 6. In such a luminescence setting period, supposing it displays the brightness 1, in the luminescence setting period of 1, the brightness of 1 will be obtained by turning on only a subframe 1. At the time of brightness 2, it becomes possible [ displaying a total of 256 gradation with combination like the following ] as a subframe 1 and a subframe 2 are turned on at the time of brightness 3 and only a subframe 3 is turned on only for a subframe 2 at the time of 4.

[0023] After address writing is completed at the address period  $T_{add}$ , coincidence is made to impress the electrical potential difference or drive current of a value of a proper to the electroluminescence devices 101 to which between address selection of the luminescence setting period  $T_{on}$  was made in each subframe at this luminescence setting period. Coincidence is made to impress the electrical potential difference or current of a value of a proper to the electroluminescence devices 101 by which performed address rewriting and address selection was made during the address period  $T_{add}$  at the luminescence setting period  $T_{on}$  in that following subframe at this luminescence setting period. Thus, it carries out within an one-frame period from a subframe 1 to a subframe 8. The timing of address selection can be controlled by the switch S1 shown in drawing 2, and the timing of a driver voltage drive current supply source can be controlled by the switch S2. That is, the selection transistor Q1 of the pixel which should be turned on in the amount of luminescence peculiar to this subframe will be in an ON state by line sequential scanning of a scan line and a signal line within one subframe period. And if the selection transistor Q1 is turned on, the writing to the gate electrode of the drive transistor Q2 will be performed through the selection transistor Q1 from a signal line, and the condition that the channel was formed in the drive transistor Q2 within the address period  $T_{add}$  is held. After all the pixels that should be turned on in this address period are chosen, a selection condition is held till the luminescence setting period  $T_{on}$  after address period  $T_{add}$  termination. During the luminescence setting period  $T_{on}$ , the adjustable drive power source Ps which supplies the driver voltage or the drive current set as the value of a proper at each luminescence setting period  $T_{on}$  connected to the anode electrode 116 is turned on with a switch S2. The driver voltage in this luminescence setting period or the value of a drive current is set up in that height by each subframe, as described above. Here, if the die length of the time amount of all the address periods  $T_{add}$  in an one-frame period and the die length of the time amount of all the luminescence setting periods  $T_{on}$  are made equal, each address period  $T_{add}$  will be set to about 1.04ms, and the time amount chosen in 1 luminescence setting period of each scan lines X1–X480 will be set to about 2.1 microseconds.

[0024] Next, the principle which can perform a gradation display is explained using drawing 6 by the drive approach of this operation gestalt. Since this drawing simplified, it is the example which divided the one-frame period into three subframes, and, in the amount of luminescence of the luminescence setting period of a subframe 1, 1 and the amount of luminescence of a subframe 2 made [ 2 and the amount of luminescence of a subframe 3 ] it 4. Drawing 6 shows the example displayed that the brightness of the pixels 13, 22, 24, 31, 35, 42, 44, and 53 of the part which attached the reticulated slash becomes high. Supposing all pixels are chosen by the subframe 1 and it specifically emits light in brightness 1, in subframes 2 and 3, only pixels 13, 22, 24, 31, 35, 42, 44, and 53 will be chosen by line sequential scanning, and it will set up that the amount 2 of luminescence and the amount 4 of luminescence were added. For this reason, where three subframes are completed (the one-frame period expired), pixels 13, 22, 24, 31, 35, 42, 44, and 53 serve as the amount 7 of luminescence, and other pixels serve as high brightness as compared with being the amount 1 of luminescence. Thus, the gradation display of the electroluminescence display 100 is attained by having divided the one-frame period into two or more subframes. Such a principle can be similarly applied, when an one-frame period is divided into eight subframes, and the expression of 256 gradation of it is also attained.

[0025] As described above, according to this operation gestalt, to switching of driver voltage  $V_{dd1} – V_{ddn}$ , or the drive current  $I_{dd1} – I_{ddn}$  since either is alternatively outputted for ON / off binary signal also to the selection transistor Q1 and the drive transistor Q2, using the switch S2 controlled by ON / off binary signal. Since the electrical potential difference  $V_{SD}$  between source drains of drawing 9 is set as the range in which the current between source drains turns into the saturation current Even if some dispersion is in the  $V-I$  property between 1V – 5V of the electrical potential difference  $V_{SD}$  of each transistor, brightness gradation can be controlled good and it becomes possible to perform stable gradation control. Thus, although there is a possibility that a gap of each slight

electrical characteristics may be multiplied, and brightness gradation may shift and make it large as one pixel when the selection transistor Q1, the drive transistor Q2, and three switching elements of a switch S2 constitute to one organic EL device In order that they may only perform ON / off control using the electrical-potential-difference value in a saturation current field, the selection transistor Q1, the drive transistor Q2, and a switch S2 have the advantage of the being hard to be influenced, even when some variations are in a property. Moreover, since it can set up as the driver voltage of an electrical-potential-difference value with the sufficient luminous efficiency for an organic EL device 101, or a drive current of a current value with sufficient luminous efficiency, low-power-ization can be attained. Furthermore, as compared with the number of gradation which the electroluminescence display 100 tends to obtain, an electrical potential difference or since what is necessary is just to carry out current control, the electrical potential difference in the adjustable drive power source Ps or control of a current can raise a controllability to the value of a very small number of classes (the number of gradation is 8 to 256).

[0026] As mentioned above, although this operation gestalt was explained, various kinds of design changes which are not limited to this and accompany the summary of a configuration are possible for this invention. For example, in the above-mentioned operation gestalt, although it considered as the configuration equipped with the selection transistor Q1 and the drive transistor Q2 in order to hold an address selection condition within the address period in a subframe period, an address selection condition can be held also as a configuration as shown in the 1-pixel equal circuit of drawing 7. In this drawing, in Q3, the selection transistor Q4 shows a drive transistor, and Cp2 shows capacity. In addition, since capacity Cp2 is connected separately, this drive transistor Q4 can use TFT which does not have an EEPROM function. One side of the source drain of the drive transistor Q4 is connected to each cathode electrode of each organic EL device 101, and it connects with DC-power-supply Ps' to which another side supplies negative potential Vdd' or negative current Idd' through a switch S2. The anode electrode which continued throughout the luminescence viewing area and was formed is grounded, it is structure and the drive transistor Q4 is chosen, and if a switch S2 turns on an organic EL device 101, it will emit light. Moreover, in the above-mentioned operation gestalt, although it is effective in especially the organic EL device 101 that can emit light by direct-current electric field as electroluminescence devices, of course, it is also possible to apply an inorganic EL element and other electroluminescence devices. With this operation gestalt, the luminous layer of an organic EL device may consist of organic layers more than two-layer [ from which charge transportability differs ], and may prepare the closure layer which prevents invasion of oxygen and water on the anode electrode 116. Moreover, it is good also as structure which carried out the laminating to the order of the anode electrode 116, the organic electroluminescence layer 115, and the cathode electrode 114 from the substrate 102 side.

[0027] In addition, with this operation gestalt, although the die length of the time amount of all the address periods Tadd in an one-frame period and the die length of the time amount of the total luminescence setting period Ton were made equal, according to the property of the selection transistors Q1 and Q3 and the drive transistors Q2 and Q4, one side of the address period Tadd and the luminescence setting period Ton may be lengthened, or another side may be shortened. Moreover, although each driver voltage Vdd drive current Idd is impressed to small order (Ton1, Ton2, --, Ton8), not only this but descending (Ton8, Ton7, --, Ton1) is sufficient as it, or it may not be as the sequence of the magnitude of an electrical-potential-difference value or a current value like the order of Ton8, Ton1, Ton5, Ton4, Ton7, Ton2, Ton6, and Ton3. Moreover, an alternating current is sufficient as the driver voltage Vdd1 which the adjustable drive power source Ps supplies - Vddn. Furthermore, if the numbers of gradation are not only 256 gradation but two or more gradation, even if there are than 256 gradation, they are good at least. [ more ]

[0028] Although the switch S1 which consists of a selection transistor Q1 and a drive transistor Q2 is connected to the GND line 111 and the switch S2 switch on at the luminescence setting period T is connected to the adjustable drive power source Ps with this operation gestalt As shown in drawing 8, it considers as the configuration grounded directly, without the switch S2 by the side of the anode electrode of an organic EL device 101 minding the adjustable drive power source Ps. The drive transistor Q2 of the switch S1 by the side of the cathode electrode of an organic EL device 101 may be connected to adjustable drive power-source Ps' which supplies driver voltage Vdd' of negative polarity, or drive current Idd' instead of the GND line 111. Even if it is this case, either of the binary signals is outputted to scan line X and signal-line Y, respectively, the switch S2 connected to the anode electrode of an organic EL device 101 can be turned on by the binary signal, and OFF control can be carried out. That is, driver voltage Vdd' or drive current Idd' is supplied to the cathode electrode side of the selected organic EL device 101, all the switches S2 are turned on at the luminescence setting period Ton, the anode electrode of an organic EL device 101 is grounded, and light is emitted at the address period Tadd.

[0029] Furthermore, with this operation gestalt, although the organic EL device 101 was formed above the switch S1, you may form on the same flat surface as a switch S1. In addition, in this case, if a laminating is carried out to the order of the anode electrode 116, the organic electroluminescence layer 115, and the cathode electrode 114 and it forms in it from a substrate 102 side, the cathode electrode 114 which consists of an ingredient of a work function which is easy to oxidize low will not be degraded with the formation process of the anode electrode 116 and the organic electroluminescence layer 115.

[0030]

[Effect of the Invention] According to this invention, the effectiveness an electroluminescence display gives a gradation indication of the controllability of enabling low-power actuation is both done so so that clearly from the above explanation.

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-232649

(43)公開日 平成10年(1998)9月2日

(51)Int.CI.  
G 0 9 G 3/30

識別記号

F I  
G 0 9 G 3/30

K

審査請求 未請求 請求項の数15 FD (全11頁)

(21)出願番号 特願平9-52543

(22)出願日 平成9年(1997)2月21日

(71)出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72)発明者 山田 裕康

東京都青梅市今井3丁目10番地6 カシオ

計算機株式会社青梅事業所内

(72)発明者 塩谷 雅治

東京都青梅市今井3丁目10番地6 カシオ

計算機株式会社青梅事業所内

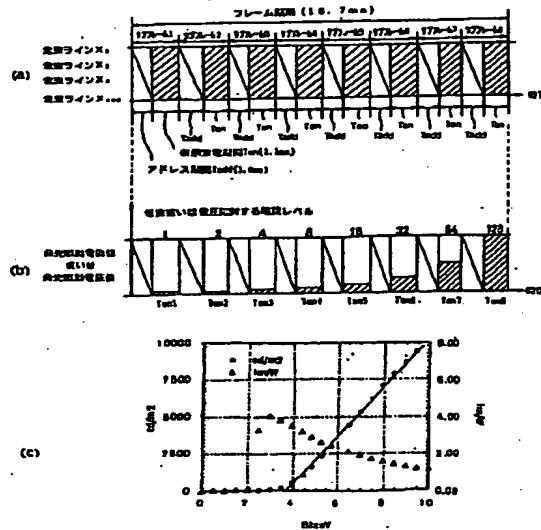
(74)代理人 弁理士 杉村 次郎

(54)【発明の名称】電界発光表示装置およびその駆動方法

(57)【要約】 (修正有)

【課題】制御性の良い階調表示が行え、低消費電力動作が可能な電界発光表示装置の駆動方法を提供する。

【解決手段】電界発光素子がマトリクス状に配置され、この電界発光素子の選択トランジスタと駆動トランジスタとが接続された電界発光表示装置の1フレーム期間を8つのサブフレームに分割する。これらサブフレームは、発光設定時間 $T_{on}$ と、全サブフレームで同一時間のアドレス期間 $T_{add}$ と、からなり、それぞれのサブフレームで異なる発光駆動電圧或いは駆動電流が印加されるように設定されている。このため、8つのサブフレームのそれぞれで、画素が選択されたか選択されないかにより、画素毎の階調レベルを異にすることができる。階調表現が可能となる。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 それぞれ一対の電極を有し、且つ電圧又は電流の印加に応じて発光する複数の電界発光素子と、1フレーム期間内に順次配置された複数のアドレス期間に、前記複数の電界発光素子から任意の電界発光素子を選択すると共に、それぞれの前記アドレス期間の後に設定された発光設定期間に、当該アドレス期間に選択された前記電界発光素子の前記一方の電極に、所定電圧値のコモン電圧を印加する第1スイッチング回路と、前記各電界発光素子の前記一対の電極の他方の電極にそれぞれ接続され、前記各発光設定期間に、互いに異なる値の電圧に設定された複数の駆動電圧或いは互いに異なる値の電流に設定された駆動電流を、前記全電界発光素子に印加する第2スイッチング回路と、を具備することを特徴とする電界発光表示装置。

【請求項2】 前記電界発光素子はマトリクス状に配列され、1フレーム期間は、前記複数のアドレス期間と、各アドレス期間にそれぞれ対応し且つ互いに同じ長さの時間に設定された前記複数の発光設定期間と、からなり、前記アドレス期間と前記発光設定期間とが交互に配置されたことを特徴とする請求項1記載の電界発光表示装置。

【請求項3】 前記第1スイッチング回路は、走査電圧が供給される走査ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が、コモン電源または可変駆動電源に接続された駆動トランジスタと、を備えることを特徴とする請求項1または請求項2に記載の電界発光表示装置。

【請求項4】 前記第2スイッチング回路は、走査電圧が供給される走査ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が、コモン電源または可変駆動電源に接続された駆動トランジスタと、を備えることを特徴とする請求項1または請求項2に記載の電界発光表示装置。

【請求項5】 前記走査電圧および前記信号電圧は、それぞれの特性に応じたオン／オフの2値信号であることを特徴とする請求項3または請求項4に記載の電界発光表示装置。

【請求項6】 前記1フレーム期間内の各発光設定期間の駆動電圧或いは駆動電流の大きさの比率は、それぞれ $2^n$ 乗（nは0以上の整数）のいずれかであることを特徴とする請求項1～請求項5のいずれかに記載の電界発光表示装置。

【請求項7】 前記コモン電圧は、接地電圧であること

を特徴とする請求項1～請求項6に記載の電界発光表示装置。

【請求項8】 電圧又は電流の印加に応じて発光する複数の電界発光素子を有する電界発光表示装置の駆動方法において、1フレーム期間が、それぞれ任意の前記電界発光素子を選択する、複数のアドレス期間を備え、且つ前記各アドレス期間で選択された前記電界発光素子に、それぞれのアドレス期間の後に発光設定期間が設定されると共に、前記各アドレス期間で選択された前記電界発光素子に、1フレーム期間内のそれぞれの発光設定期間どうして互いに異なる値の駆動電圧或いは互いに異なる値の駆動電流を供給することを特徴とする電界発光表示装置の駆動方法。

【請求項9】 前記複数の電界発光素子は、それぞれ一対の電極を有し、

1フレーム期間内に順次配置された複数のアドレス期間に、前記複数の電界発光素子から任意の電界発光素子を選択すると共に、それぞれの前記アドレス期間の後に設定された発光設定期間に、当該アドレス期間に選択された前記電界発光素子の前記一方の電極に、所定電圧値のコモン電圧を印加する第1スイッチング回路と、前記各電界発光素子の前記一対の電極の他方の電極にそれぞれ接続され、前記各発光設定期間に、互いに異なる値の電圧に設定された複数の駆動電圧或いは互いに異なる値の電流に設定された駆動電流を、前記全電界発光素子に印加する第2スイッチング回路と、を具備することを特徴とする請求項8記載の電界発光表示装置の駆動方法。

【請求項10】 前記第1スイッチング回路は、走査電圧が供給される走査ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が、コモン電源または可変駆動電源に接続された駆動トランジスタと、を備えることを特徴とする請求項9記載の電界発光表示装置の駆動方法。

【請求項11】 前記第2スイッチング回路は、走査電圧が供給される走査ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドレイン電極が接続された選択トランジスタと、ゲート電極が前記選択トランジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が、コモン電源または可変駆動電源に接続された駆動トランジスタと、を備えることを特徴とする請求項9記載の電界発光表示装置の駆動方法。

【請求項12】 前記走査電圧および前記信号電圧それぞれの特性に応じたオン／オフの2値信号が入力されることを特徴とする請求項10または請求項11に記載の電界発光表示装置の駆動方法。

50

3.

【請求項13】前記電界発光素子はマトリクス状に配列され、前記1フレーム期間は、前記アドレス期間と発光設定期間とが交互に設定されることを特徴とする請求項8～請求項12のいずれかに記載の電界発光表示装置の駆動方法。

【請求項14】前記各発光設定間に印加される駆動電圧又は駆動電流の大きさの比率は、それぞれ2のn乗( $n$ は0以上の整数)のいずれかであることを特徴とする請求項8～請求項13のいずれかに記載の電界発光表示装置の駆動方法。

【請求項15】前記コモン電圧は、接地電圧であることを特徴とする請求項9～請求項14に記載の電界発光表示装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】この発明は電界発光表示装置およびその駆動方法に関する、さらに詳しくは、エレクトロルミネッセンス発光を行う表示装置の駆動方法に関する。

##### 【0002】

【従来の技術】従来、図9に示すような、1画素に2つの薄膜トランジスタ(以下、TFTという)を備えた構造の有機ELディスプレイ(電界発光表示装置)がある。この有機ELディスプレイにおいては、選択TFT3が走査ラインXnからのスキャで選択に同期して、有機EL素子1の発光輝度データに応じた階調信号が信号ラインYnから供給されるようになっている。選択TFT3は、この階調信号に応じて駆動TFT2のゲートバイアスを制御し、駆動TFT2は、このゲートバイアスに応じて有機EL素子1に注入するキャリア(電子或いは正孔)の量を制御し、所定の階調輝度で発光する。図10は、このように書き込まれた駆動TFT2の、ゲート電圧(Vg)とチャネル抵抗との関係、所謂電界効果トランジスタ(FET)の静特性を示すグラフである。図11は、1画素における有機EL素子1と電圧制御手段Vcと全画素共通EL電源4との関係を示す等価回路図である。この電圧制御手段Vcは、選択トランジスタ3と駆動トランジスタ2とから構成されている。

##### 【0003】

【発明が解決しようとする課題】上記した従来の1画素2セルTFT構造の有機ELディスプレイでは、駆動TFT2のゲートバイアスの変化によってチャネルに流れる電流を変えることにより、画素ELの発光輝度を変化させることで階調を表現している。すなわち、有機EL素子1の発光輝度は、信号ラインYnに供給される階調信号と、駆動TFT2及び選択TFT3の電気的特性に依存している。このため、たとえば256階調を実現しようとすると、パネル内の各画素の駆動TFT2の線形領域での特性バラツキが256階調の制御に要求される範囲内になければならず、そのような均一な特性のTFT

4

Tパネルの製造は実現が困難であるという問題がある。

【0004】この発明が解決しようとする課題は、制御性のよい階調表示が行えると共に、低消費電力動作が可能な電界発光表示装置の駆動方法を得るにはどのような手段を講じればよいかという点にある。

##### 【0005】

【課題を解決するための手段】請求項1記載の発明は、電界発光表示装置であって、それぞれ一対の電極を有し、且つ電圧の印加に応じて発光する複数の電界発光素子と、1フレーム期間内に順次配置された複数のアドレス期間に、前記複数の電界発光素子から任意の電界発光素子を選択すると共に、それぞれの前記アドレス期間の後に設定された発光設定期間に、当該アドレス期間に選択された前記電界発光素子の前記一方の電極に、接地電圧、或いは互いに異なる値の電圧に設定された複数の駆動電圧のうちのいずれか、の一方を印加する第1スイッチング回路と、前記各電界発光素子の前記一対の電極の他方の電極にそれぞれ接続され、前記各発光設定期間に、前記接地電圧、或いは互いに異なる値の電圧に設定された複数の駆動電圧のうちのいずれか、の他方を、前記全電界発光素子に印加する第2スイッチング回路と、を具備することを特徴としている。

【0006】請求項1記載の発明では、各アドレス期間に発光すべき電界発光素子を予め選択して、対応する各発光設定期間に、選択された電界発光素子の一方の電極に、所定電圧値のコモン電圧を印加し、全電界発光素子の一対の電極の他方に、互いに異なる値の電圧に設定された複数の駆動電圧又は互いに異なる値の電流に設定された駆動電流のいずれかを印加すれば、選択された電界発光素子のみが各発光設定期間に発光することができる。したがって、複数の発光設定期間中に選択的に電界発光素子を発光することにより、言い換えれば、1フレーム期間内での総発光設定期間での総発光量に応じて、各電界発光素子の見かけ上の発光輝度を制御することができる。

【0007】請求項2記載の発明は、前記電界発光素子がマトリクス状に配列され、1フレーム期間が、前記複数のアドレス期間と、各アドレス期間にそれぞれ対応し且つ互いに同じ長さの時間に設定された前記複数の発光設定期間と、からなり、前記アドレス期間と前記発光設定期間とが交互に配置されたことを特徴としている。請求項2記載の発明では、発光設定期間を一定としたので、発光設定期間と印加電圧又は印加電流との積によるそれぞれの発光輝度を組み合わせることで多くの輝度階調数の発光を実現することができる。

【0008】請求項3、4記載の発明はそれぞれ、第1スイッチング回路、第2スイッチング回路が、走査電圧が供給される走査ラインにゲート電極が接続され且つ信号電圧が供給される信号ラインにドライン電極が接続された選択トランジスタと、ゲート電極が前記選択トラン

50

ジスタのソース電極に接続され、且つドレイン電極が前記電界発光素子に接続されると共に、ソース電極が、コモン電源または可変駆動電源に接続された駆動トランジスタと、を備えることを特徴としている。これらの発明では、アドレス期間に選択された電界発光素子に、発光設定期間中に容易にコモン電圧を印加できるようチャージできる。

【0009】請求項5記載の発明は、前記走査電圧および前記信号電圧が、それぞれの特性に応じたオン／オフの2値信号であることを特徴としている。

【0010】請求項5記載の発明では、走査電圧および信号電圧がオン／オフの2値信号で制御できるので、選択トランジスタおよび駆動トランジスタのV-I特性に多少のばらつきがあっても、飽和電流領域の電圧を印加すれば、良好に輝度階調を制御することができる。

【0011】請求項6記載の発明は、1フレーム期間内の各発光設定期間の駆動電圧或いは駆動電流の大きさの比率は、それぞれ2のn乗（nは0以上の整数）のいずれかであることを特徴としている。請求項6記載の発明では、駆動電圧或いは駆動電流の大きさの比率が、それぞれ2のn乗としているので、異なる電圧値の数を最小限にして良好な階調発光を実現することができる。

【0012】請求項8記載の発明は、電圧又は電流の印加に応じて発光する複数の電界発光素子を有する電界発光表示装置の駆動方法において、1フレーム期間が、それぞれ任意の前記電界発光素子を選択する、複数のアドレス期間を備え、且つ前記各アドレス期間で選択された前記電界発光素子に、それぞれのアドレス期間の後に発光設定期間が設定されると共に、前記各アドレス期間で選択された前記電界発光素子に、1フレーム期間内のそれぞれの発光設定期間どうしで互いに異なる値の駆動電圧或いは互いに異なる値の駆動電流を供給することを特徴としている。

【0013】請求項8記載の発明では、各アドレス期間に、次の発光設定期間に発光すべき電界発光素子を予め選択して、発光設定期間に発光させるが、各発光設定期間での印加電圧または印加電流の値が異なるので、それぞれの画素での総発光量が、階調に応じるように発光設定期間を選択すれば少ない段階の電圧値の変化にもかかわらず、1フレーム期間全体では多くの輝度階調数の発光を実現することができる。

【0014】

【発明の実施の形態】以下、この発明に係る電界発光表示装置の駆動方法の詳細を図面に示す実施形態に基づいて説明する。なお、駆動方法の説明に先駆けて、電界発光表示装置の構成について説明する。図1は本実施形態に係る電界発光表示装置の駆動回路図である。同図に示すように、電界発光素子としての有機EL素子101が、X-Yマトリクス状に配置されたそれぞれの画素領域に形成されている。これらの画素領域は、複数の走査

ラインXと複数の信号ラインYとがそれぞれ交差する部分に形成されている。1つの画素領域には、走査ラインXおよび信号ラインYに接続された選択トランジスタQ<sub>1</sub>と、この選択トランジスタQ<sub>1</sub>に接続されたキャパシタC<sub>D</sub>及びゲートが接続された駆動トランジスタQ<sub>2</sub>とが設けられている。この駆動トランジスタQ<sub>2</sub>は、有機EL素子101の一方の電極（図ではカソード電極）に接続されている。そして、選択トランジスタQ<sub>1</sub>が走査ラインXからの選択信号により選択され、且つ信号ラインYより駆動信号が出力されると駆動トランジスタQ<sub>2</sub>がオン状態になるよう設定されている。この選択信号及び駆動信号は、ON/OFFの2値信号である。なお、駆動トランジスタQ<sub>2</sub>は、オフ状態では有機EL素子101に比べて充分高抵抗で、オン状態では有機EL素子101に比べて無視できるほど充分低抵抗となるようその特性が設定されている。

【0015】図2は、この電界発光表示装置の1画素部分の等価回路図である。同図に示すスイッチS<sub>1</sub>は有機EL素子101の一方の電極に接続されており、このスイッチS<sub>1</sub>の閉じている状態で、有機EL素子101の発光が可能となる。また、スイッチS<sub>2</sub>は、有機EL素子101の他方の電極側に接続されており、全画素と共に用いられるとともに、後記するサブフレーム期間内の発光時間および発光駆動電圧或いは発光駆動電流（各サブフレーム期間に固有の値の電圧或いは電流）に従って全画素を同時にオン／オフし得るようになっている。なお、図2中P<sub>s</sub>は各サブフレーム期間に固有の値の電圧値或いは電流値を可変的に出力するよう制御された可変駆動電源を示している。

【0016】ここで、本実施形態における電界発光表示装置の更に具体的な構成を、図3および図4を用いて説明する。図3は、本実施形態における電界発光表示装置の1画素部分を示す平面図である。図4は、図3のA-A断面図である。図中100は電界発光表示装置を示している。

【0017】本実施形態の電界発光表示装置100は、ガラス或いは樹脂フィルムからなる基板102の上に例えばアルミニウム（A1）であるゲートメタル膜がパターニングされてなる、所定方向（X方向）に沿って平行かつ等間隔をなす複数の走査ライン103と、この走査ライン103に一体的な、選択トランジスタQ<sub>1</sub>のゲート電極103Aと、駆動トランジスタQ<sub>2</sub>のゲート電極103Bと、が形成されている。なお、これらゲート電極103A、103Bおよび走査ライン103の表面には、陽極酸化膜104が形成されている。また、これら走査ライン103、ゲート電極103A、103Bおよび基板102の上には、窒化シリコンでなるゲート絶縁膜105が形成されている。さらに、ゲート電極103A、103Bの上方のゲート絶縁膜105A、105Bの上には、アモルファスシリコン（a-Si）である半

導体層106A、106Bがパターン形成されている。また、それぞれの半導体層106A、106Bの中央には、チャネル幅方向に沿って形成されたブロッキング層107A、107Bが形成されている。そして、半導体層106Aの上には、ブロッキング層107A上でソース側とドレイン側とに分離されたオーミック層108A、108Bが形成されている。さらに、選択トランジスタQ<sub>1</sub>においては、ドレイン側のオーミック層108Aに積層されて接続する信号ライン109Aと、ソース側のオーミック層108Bに積層されて接続するソース電極109Bとが形成されている。このソース電極109Bは、図3に示すように、駆動トランジスタQ<sub>1</sub>のゲート電極103Bに対して、ゲート絶縁膜105に開口したコンタクトホール110を介して接続されている。駆動トランジスタQ<sub>1</sub>においては、ソース側のオーミック層108Bに積層されて接続するGND線111と、一端がドレイン側のオーミック層108Bに積層されて接続し、且つ他端が有機EL素子101の後記するカソード電極114に接続するドレイン電極112が形成されている。これら選択トランジスタQ<sub>1</sub>と駆動トランジスタQ<sub>2</sub>は、図2に示したスイッチS<sub>1</sub>を構成している。また、ゲート電極103Bとゲート絶縁膜105とGND線とでキャパシタC<sub>p</sub>が構成される。

【0018】次に、有機EL素子101の構成を説明する。まず、上記した選択トランジスタQ<sub>1</sub>、駆動トランジスタQ<sub>2</sub>およびゲート絶縁膜105の上に、電界発光表示装置100の発光表示領域全域に亘って、層間絶縁膜113が堆積されている。そして、上記した駆動トランジスタQ<sub>2</sub>のドレイン電極112の端部上の層間絶縁膜113にコンタクトホール113Aが形成されている。なお、本実施形態では、駆動トランジスタQ<sub>2</sub>のドレイン電極112の端部は、1画素領域の略中央に位置するように設定されている。そして、層間絶縁膜113の上に、可視光に対し反射性を示す、例えばMgInでなるカソード電極114が略1画素領域全域に亘って矩形状に形成されている。すなわち、カソード電極114は、相隣接する信号ライン109A、109Bと相隣接する走査ライン103、103とで囲まれる領域(1画素領域)を略覆うように形成されている。このため、選択トランジスタQ<sub>1</sub>と駆動トランジスタQ<sub>2</sub>とは、カソード電極114で全面的に覆われている。

【0019】さらに、図4に示すように、各画素毎にパターン形成されたカソード電極114、および層間絶縁膜113の上に、有機EL層115が発光表示領域全域に亘って形成されている。さらに、有機EL層115の上には、透明なITOでなるアノード電極116が全有機EL素子101の発光表示領域全域に亘って形成されている。また、各有機EL素子101のアノード電極116は、スイッチS<sub>2</sub>を介してそれぞれ異なる値に設定された駆動電圧Vdd1～Vddnあるいは駆動電流Idd1～Iddnを供給する可変駆動電源Psに接続されている。

【0020】ここで、上記した構成の電界発光表示装置100の作用について説明する。本実施形態においては、カソード電極114が、相隣接する信号ライン109A、109Bと相隣接する走査ライン103、103とで囲まれる領域(1画素領域)を略覆うように形成されているため、有機EL素子101は1画素領域の略全域に亘って発光を行うことができる。また、カソード電極114が光反射性を有するMgInで形成されているため、カソード電極114とアノード電極116との間に駆動電圧あるいは駆動電流が印加された場合に、有機EL層115で発生した表示光は、下方(ガラス基板102側)に漏れることなくアノード電極116側に出射される。このため、選択トランジスタQ<sub>1</sub>および駆動トランジスタQ<sub>2</sub>の半導体層106A、106Bへ不要に光が入射するのを防止することができ、各トランジスタの光起電力による誤動作が生じるのを回避することができる。また、表示光は、透明なアノード電極116側から出射されるため、ガラス基板102などにより光吸収されることはなく、輝度の高い状態で出射される。

【0021】次に、本実施形態の電界発光表示装置100の駆動回路系を説明する。図2の等価回路図が示すように、有機EL素子101とスイッチS<sub>1</sub>、S<sub>2</sub>と可変駆動電源Psとから1画素部分のEL表示回路が構成されている。また、上記したように、第1スイッチング回路としてのスイッチS<sub>1</sub>は、選択トランジスタQ<sub>1</sub>と駆動トランジスタQ<sub>2</sub>とから構成され、有機EL素子101に選択的に接地電圧(コモン電圧)を供給(出力)することができる。有機EL素子101においては、アノード電極側に正極性の互いに異なる電圧値の駆動電圧Vdd1～Vddnあるいは駆動電流Idd1～Iddnを供給する可変駆動電源Psが第2スイッチング回路としてのスイッチS<sub>2</sub>を介して接続され、カソード電極側にスイッチS<sub>2</sub>が接続され、スイッチS<sub>2</sub>を構成する駆動トランジスタQ<sub>2</sub>のソース電極側は図1に示すようにGND線111を介して接地されている。

【0022】以下、本実施形態の電界発光表示装置100の駆動方法について説明する。まず、本実施形態は、電界発光表示装置100における走査ライン103の本数を例えば480本、信号ライン109Aの本数を例えば640本に設定する。そして、本実施形態では図5(a)、(b)に示すような階調表示方式を用いる。同図(a)のように、1フレーム期間(1画面の表示を保持する期間)が16.7msとして、1フレーム期間を8つのサブフレーム期間(サブフレーム1～8)に分割する。各サブフレーム期間は、2.1msであり、アドレス書き込みを行うためのアドレス期間Tadd(1.0ms)とそれぞれのサブフレーム期間固有の値の駆動電圧あるいは駆動電流を印加する発光設定期間Ton(1.

(6)

9

$1 \text{ ms}$ ) とかなる。有機EL素子101は、図5(c)に示すように印加される電圧に対して発光輝度( $\text{cd}/\text{m}^2$ )が直線性を示しており、発光輝度の比は発光駆動電圧値の比或いは発光駆動電流値の比に比例する。各サブフレーム期間に固有の発光駆動電圧の比率或いは駆動電流の比率は、サブフレーム1で1とすると、サブフレーム2は2、サブフレーム3は4、サブフレーム4は8、サブフレーム5は16、サブフレーム6は32、サブフレーム7は64、サブフレーム8は128となる。このような発光設定期間において、1の発光設定期間で1という輝度を表示するとすると、サブフレーム1のみを点灯することで1の輝度が得られる。輝度2のときはサブフレーム2のみを、輝度3のときはサブフレーム1とサブフレーム2を、4のときはサブフレーム3のみを点灯するというように、以下同様にして組み合わせにより合計256の階調を表示することが可能となる。

(0023) 各サブフレームにおいては、アドレス期間 $T_{add}$ にアドレス書き込みが終了した後に発光設定期間 $T_{on}$ の間アドレス選択された電界発光素子101にこの発光設定期間に固有の値の電圧或いは駆動電流を同時に印加させる。その次のサブフレームではアドレス期間 $T_{add}$ 中にアドレス書き換えを行って発光設定期間 $T_{on}$ にアドレス選択された電界発光素子101にこの発光設定期間に固有の値の電圧或いは電流を同時に印加させる。このようにサブフレーム1からサブフレーム8まで1フレーム期間内に行う。アドレス選択のタイミングは、図2に示したスイッチ $S_1$ で制御し、駆動電圧駆動電流供給のタイミングはスイッチ $S_2$ で制御することができる。すなわち、1つのサブフレーム期間内において、走査ラインと信号ラインとの線順次走査により、このサブフレーム特有の発光量で点灯すべき画素の選択トランジスタ $Q_1$ がオン状態となる。そして、選択トランジスタ $Q_1$ がオンになると信号ラインから選択トランジスタ $Q_2$ を介して駆動トランジスタ $Q_3$ のゲート電極への書き込みが行われ、アドレス期間 $T_{add}$ 内においては駆動トランジスタ $Q_3$ にチャネルが形成された状態が保持される。このアドレス期間で点灯すべき画素がすべて選択された後、すなわちアドレス期間 $T_{add}$ 終了後の発光設定期間 $T_{on}$ まで選択状態が保持される。発光設定期間 $T_{on}$ 中には、アノード電極116に接続されたそれぞれの発光設定期間 $T_{on}$ に固有の値に設定された駆動電圧或いは駆動電流を供給する可変駆動電源 $P_s$ がスイッチ $S_1$ でオンされる。この発光設定期間での駆動電圧或いは駆動電流の値は、上記したようにそれぞれのサブフレームでその高さ設定されている。ここで、1フレーム期間中の全アドレス期間 $T_{add}$ の時間の長さと全発光設定期間 $T_{on}$ の時間の長さを等しくすると、各アドレス期間 $T_{add}$ は、 $1.04 \text{ ms}$ 程度となり、各走査ライン $X_1 \sim X_{480}$ の1発光設定期間で選択される

10

時間は、 $2.1 \mu\text{s}$ 程度となる。

(0024) 次に、本実施形態の駆動方法で階調表示が行える原理を図6を用いて説明する。この図は、簡略化するために、1フレーム期間を3つのサブフレームに分割した例であり、サブフレーム1の発光設定期間の発光量は1、サブフレーム2の発光量は2、サブフレーム3の発光量は4とした。図6は、網状の斜線を付した部分の画素13、22、24、31、35、42、44、53の輝度が高くなるように表示された例を示している。具体的には、サブフレーム1で全画素が選択されて輝度1の発光を行ったとすると、サブフレーム2、3では線順次走査により画素13、22、24、31、35、42、44、53のみが選択され、発光量2と発光量4が加算されたと設定する。このため、3つのサブフレームが終了した(1フレーム期間が終了した)状態では、画素13、22、24、31、35、42、44、53が発光量7となり、他の画素が発光量1であるのと比較して高輝度となる。このように、1フレーム期間を複数のサブフレームに分割したことにより、電界発光表示装置100の階調表示が可能となる。このような原理は、1フレーム期間を8つのサブフレームに分割した場合での同様に適用できるものであり、256階調の表現も可能となる。

(0025) 上記したように、本実施形態によれば、駆動電圧 $V_{dd1} \sim V_{ddn}$ 或いは駆動電流 $I_{dd1} \sim I_{ddn}$ のスイッチングに、オン/オフの2値信号で制御するスイッチ $S_1$ を用い、且つ選択トランジスタ $Q_1$ と駆動トランジスタ $Q_3$ にもオン/オフの2値信号をいずれかを選択的に出力するため、図9のソース・ドレイン間電圧 $V_{SD}$ をソース・ドレイン間電流が飽和電流になる範囲に設定するので、各トランジスタの電圧 $V_{SD}$ の1V～5V間でのV-I特性に多少のばらつきがあっても、良好に輝度階調を制御することができ、安定した階調制御を行うことが可能となる。このように、1つの有機EL素子に対し選択トランジスタ $Q_1$ 、駆動トランジスタ $Q_3$ 、スイッチ $S_1$ の3つのスイッチング素子が構成している場合、それぞれのわずかな電気的特性のずれが相乗され、1つの画素として大きく輝度階調がずれてしまう恐れがあるが、選択トランジスタ $Q_1$ や駆動トランジスタ $Q_3$ およびスイッチ $S_1$ は、飽和電流領域での電圧値を用いオン/オフ制御を行うだけであるため、特性に多少のバラツキがあった場合でもその影響を受けにくいという利点がある。また、有機EL素子101にとって発光効率のよい電圧値の駆動電圧、或いは発光効率のよい電流値の駆動電流として設定できるため、低消費電力化を達成することができる。さらに、可変駆動電源 $P_s$ での電圧或いは電流の制御は、電界発光表示装置100が得ようとする階調数に比較して非常に少ない数の種類(階調数が256に対して8)の値に電圧或いは電流制御するだけでよいため、制御性を高めることができる。

11

【0026】以上、本実施形態について説明したが、本発明はこれに限定されるものではなく、構成の要旨に付随する各種の設計変更が可能である。例えば、上記した実施形態においては、サブフレーム期間におけるアドレス期間内でアドレス選択状態を保持するために、選択トランジスタ $Q_3$ と駆動トランジスタ $Q_4$ とを備えた構成としたが、図7の1画素等価回路で示すような構成としてもアドレス選択状態を保持することができる。同図において $Q_3$ は選択トランジスタ $Q_3$ と駆動トランジスタ $Q_4$ 、 $C_p$ は容量を示している。なお、この駆動トランジスタ $Q_4$ は別途容量 $C_p$ が接続されているため、EEPROM機能を有しないTFTを用いることができる。駆動トランジスタ $Q_4$ のソース・ドレインの一方が各有機EL素子101の各カソード電極に接続され、他方がスイッチ $S_1$ を介して負電圧 $V_{dd'}$ 或いは負の電流 $I_{dd'}$ を供給する直流電源 $P_{s'}$ に接続されている。有機EL素子101は、発光表示領域全域に亘って形成されたアノード電極が接地され構造であり、駆動トランジスタ $Q_4$ が選択され、スイッチ $S_1$ がオンすると発光する。また、上記した実施形態においては、電界発光素子として直流電界で発光できる有機EL素子101特に有効であるが、無機EL素子やその他の電界発光素子を適用することも勿論可能である。本実施形態では、有機EL素子の発光層は電荷輸送性の異なる2層以上の有機層から構成されてもよく、アノード電極116上に酸素および水の侵入を防止する封止層を設けてよい。また、基板102側からアノード電極116、有機EL層115、カソード電極114の順に積層した構造としてもよい。

【0027】なお、本実施形態では、1フレーム期間中の全アドレス期間 $T_{add}$ の時間の長さと総発光設定期間 $T_{on}$ の時間の長さを等しくしたが、選択トランジスタ $Q_1$ 、 $Q_2$ 、駆動トランジスタ $Q_3$ 、 $Q_4$ の特性に応じて、アドレス期間 $T_{add}$ 、発光設定期間 $T_{on}$ の一方を長くしたり、他方を短くしたりしてもよい。また、各駆動電圧 $V_{dd}$ 駆動電流 $I_{dd}$ は小さい順( $T_{on1}$ 、 $T_{on2}$ 、…、 $T_{on8}$ )に印加されるがこれに限らず、大きい順( $T_{on8}$ 、 $T_{on7}$ 、…、 $T_{on1}$ )でもよく、或いは $T_{on8}$ 、 $T_{on1}$ 、 $T_{on5}$ 、 $T_{on4}$ 、 $T_{on7}$ 、 $T_{on2}$ 、 $T_{on6}$ 、 $T_{on3}$ の順のように電圧値或いは電流値の大きさの順番通りでなくてもよい。また、可変駆動電源 $P_s$ が供給する駆動電圧 $V_{dd1} \sim V_{ddn}$ は、交流でもよい。さらに、階調数は256階調に限らず、複数の階調であれば256階調よりも少なくてよい。

【0028】本実施形態では、選択トランジスタ $Q_1$ と駆動トランジスタ $Q_4$ とからなるスイッチ $S_1$ がGND線111に接続され、発光設定期間 $T$ にオンするスイッチ $S_1$ が可変駆動電源 $P_s$ に接続されているが、図8に示すように、有機EL素子101のアノード電極側のスイ

ッチ $S_2$ が可変駆動電源 $P_s$ を介さずに直接接地した構成とし、有機EL素子101のカソード電極側のスイッチ $S_3$ の駆動トランジスタ $Q_2$ をGND線111の代わりに負極性の駆動電圧 $V_{dd'}$ 或いは駆動電流 $I_{dd'}$ を供給する可変駆動電源 $P_{s'}$ に接続させてもよい。この場合であっても、走査ラインX、信号ラインYに、それぞれ2値信号のいずれかを出力し、有機EL素子101のアノード電極に接続されたスイッチ $S_1$ を2値信号でオン、オフ制御することができる。すなわち、アドレス期間 $T_{add}$ には、選択された有機EL素子101のカソード電極側に駆動電圧 $V_{dd'}$ 或いは駆動電流 $I_{dd'}$ が供給され、発光設定期間 $T_{on}$ に全スイッチ $S_1$ がオンされ、有機EL素子101のアノード電極が接地され発光する。

【0029】さらに、本実施形態では、有機EL素子101をスイッチ $S_1$ の上方に形成したが、スイッチ $S_1$ と同一平面上に形成してもよい。なお、この場合は、基板102側からアノード電極116、有機EL層115、カソード電極114の順に積層して形成すれば、仕事面数の低く酸化されやすい材料からなるカソード電極114をアノード電極116、有機EL層115の形成工程により劣化させることがない。

【0030】

【発明の効果】以上の説明から明らかのように、この発明によれば、電界発光表示装置を制御性よく階調表示できると共に、低消費電力動作を可能にするという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施形態に係る電界発光表示装置の駆動回路図。

【図2】本実施形態における電界発光表示装置の1画素部分の等価回路図。

【図3】本実施形態における電界発光表示装置の平面図。

【図4】図3のA-A断面図。

【図5】(a)、(b)は本実施形態の駆動方法を示す説明図であり、(c)は電界発光表示装置の印加電圧-輝度特性を示す図。

【図6】1フレーム期間を3サブフレームに分割した場合の階調表示原理を説明する説明図。

【図7】本発明を適用し得る電界発光表示装置の1画素部分を示す等価回路図。

【図8】本発明の他の実施形態に電界発光表示装置の駆動回路図。

【図9】従来の電界発光表示装置の1画素部分を示す等価回路図。

【図10】従来の電界発光表示装置における駆動TFTのゲート電圧( $V_g$ )とチャネル抵抗との関係を示すグラフ。

【図11】従来の電界発光表示装置の1画素における有

13

14

機EL素子1と電圧制御手段Vcと全面素共通EL電源

4との関係を示す等価回路図。

〔符号の説明〕

100 電界発光表示装置

101 有機EL素子

103 走査ライン

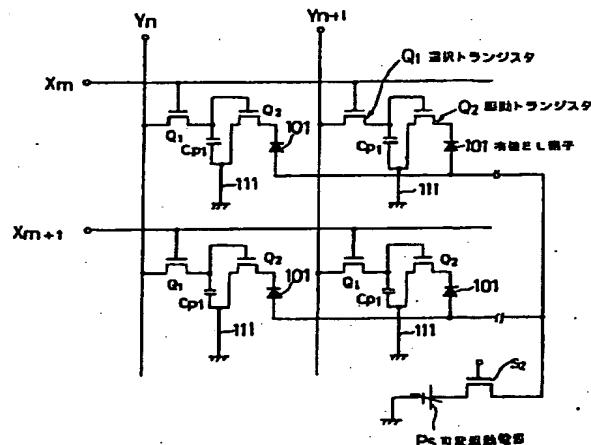
\* 109A 信号ライン

Q<sub>1</sub> 選択トランジスタQ<sub>2</sub> 駆動トランジスタS<sub>1</sub> スイッチ

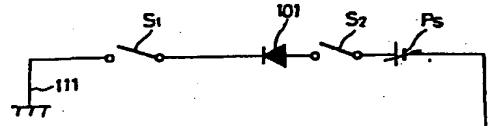
Ps 可変駆動電源

\*

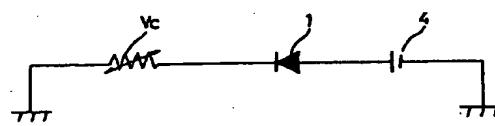
〔図1〕



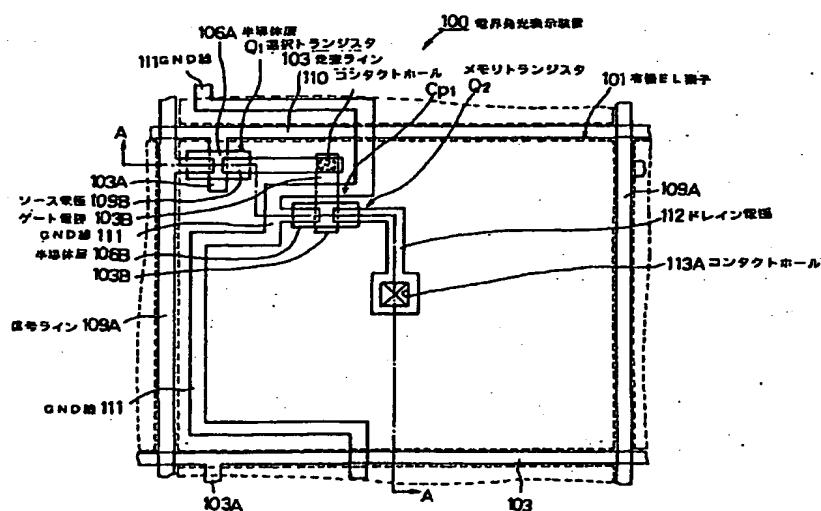
〔図2〕



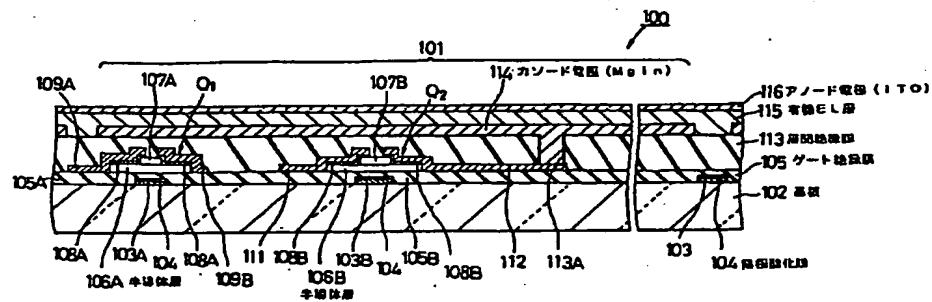
〔図11〕



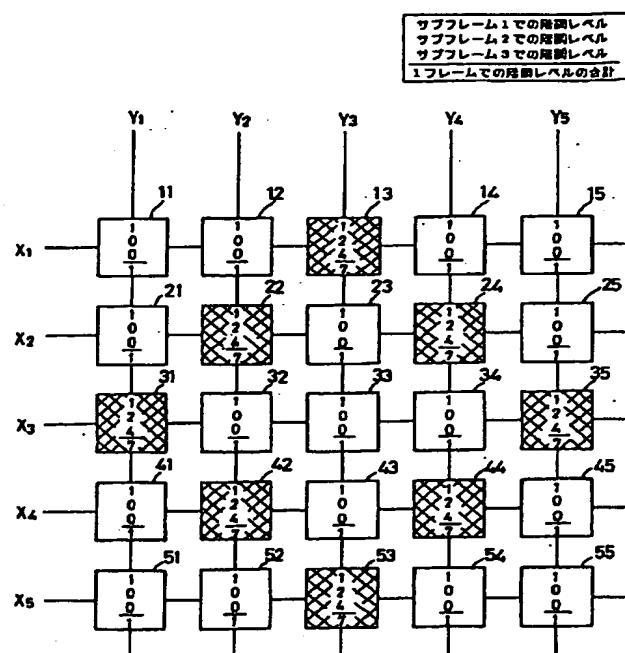
〔図3〕



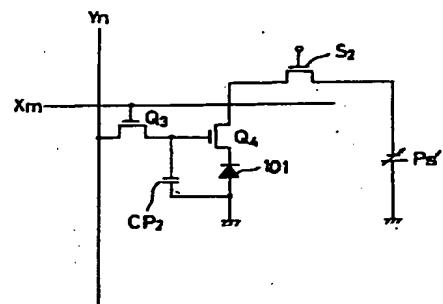
〔図4〕



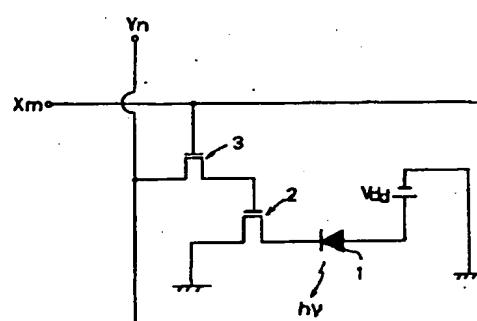
〔図6〕



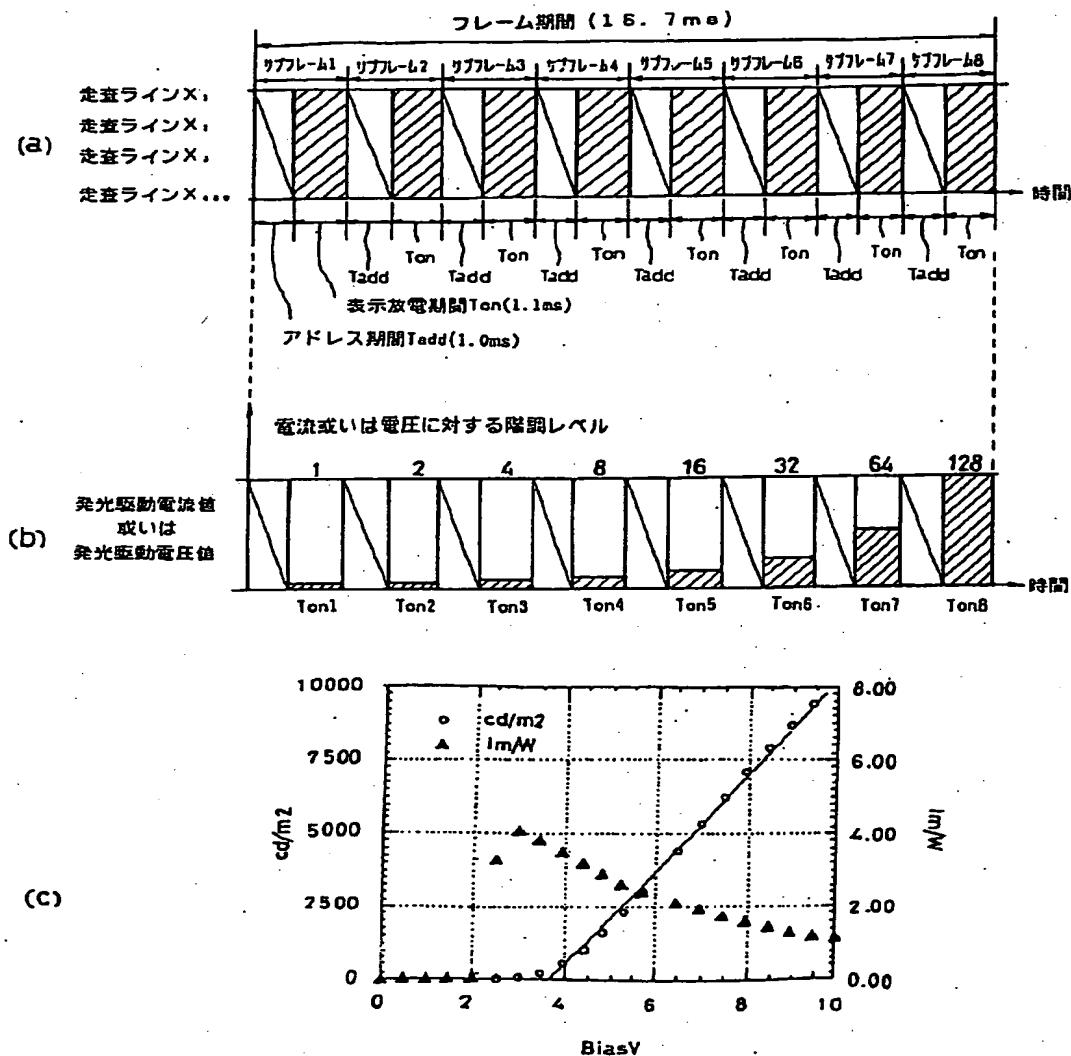
〔図7〕



〔図9〕



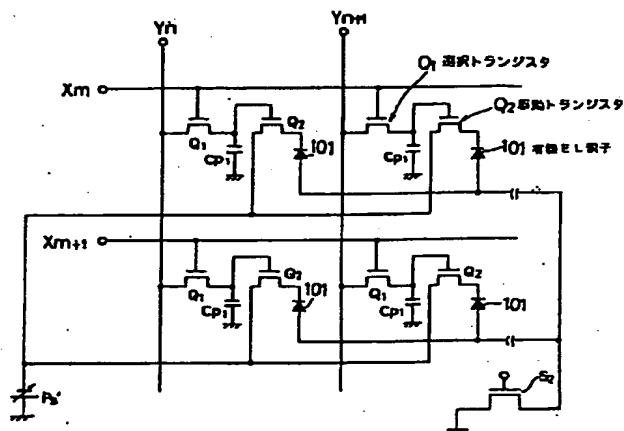
〔図5〕



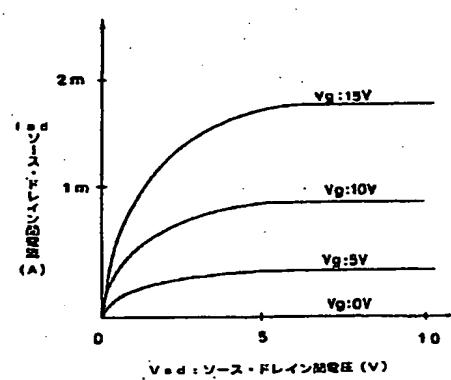
(11)

特開平10-232649

【図8】



【図10】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**